

TRC2 HARDWARE BESCHREIBUNG

Version 1.0

2-5-2000

Gerhard Bialek

DESY -FEE-

1. DER ANALOGE TASTKOPF

Spezifikation

Max. Eingangsspannung :	kurzzeitig : 150 V dauernd : 75 V
Spannungsmessbereiche : (individuell einstellbar)	30.0 V 10.0 V 1.0 V 0.1 V
Eingangswiderstand :	100 KOhm
Bandbreite (-3dB) : (individuell einstellbar)	100 KHz 25 KHz 10 KHz 1 KHz
Isolationsspannung :	500 V
Interne Testspannung :	U(ref)/3
ADC - Referenzspannung (U(ref)) :	2.460 V
ADC - Konversionsrate :	100 KS/s
ADC - Auflösung :	12 Bit / bipolar

Tabelle 1 : Spezifikation des Analog-Taskopfes

Die SPICE-Simulation der Schaltung.

Wegen der relativ hohen Abschwächung des Eingangssignales für den 30 V Messbereich und der damit verbundenen Erhöhung des Einflusses der zweiten Polstelle der Übertragungsfunktion des AD712K wurde die Schaltung sowohl mit einem Laboraufbau als auch mittels eines [SPICE - Modells](#) überprüft. Der Vergleich der so ermittelten Schaltungscharakteristika erbrachte eine ausreichend gute Übereinstimmung und ermöglichte eine gute Abschätzung der Anforderungen an das Layout für die spätere Realisierung.

Unter der Annahme eines vereinfachten Ersatzschaltbildes für die MOSFET - Schalter und ausgeschalteter Bandbegrenzung ergaben sich bei der SPICE - Analyse die folgenden Ergebnisse (Probe screen, jeweils ca. 7 - 9KB groß):

	0.1 V	1.0 V	10.0 V	30.0 V
DC - Analyse log.	Bild 1	Bild 2	Bild 3	Bild 4
AC - Analyse log.	Bild 5	Bild 6	Bild 7	Bild 8
AC - Analyse lin.	Bild 9	Bild 10	Bild 11	Bild 12

Tabelle 2 SPICE Analysen

Die Schaltung des Eingangsverstärkers.

Das [Datenblatt](#) (500KB) des Operationsverstärkers liegt als PDF-File vor. Wegen der Namen der Schalter verweise ich auf den Abschnitt über die [Konfiguration](#) des Tastkopfes.

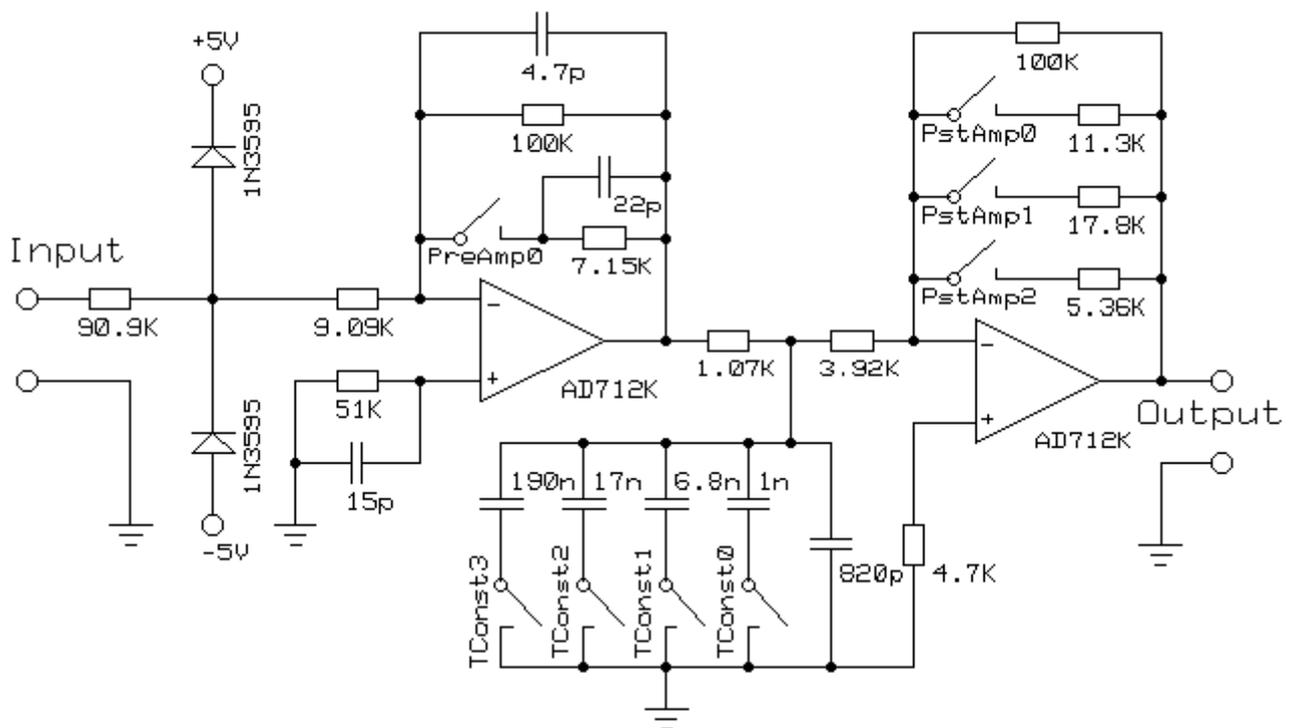


Fig. 1 Der Eingangsverstärker

Der ADC, seine Beschaltung und die Testspannungserzeugung

Für die Ermittlung des Clocktimings und damit der Leitungslänge des Tastkopfes benötigt das IP - Kärtchen ein Datentelegramm, bei dem das MSB auf 0 liegt. Für diesen Zweck und

wegen der damit möglichen Überprüfung der Funktionsfähigkeit des ADCs kann mit dem Schalter "UTest" eine Spannung von $U_{ref}/2$ auf den Eingang des ADCs gelegt werden.

Das [Datenblatt](#) (500KB) für den ADC liegt ebenfalls als PDF-File vor.

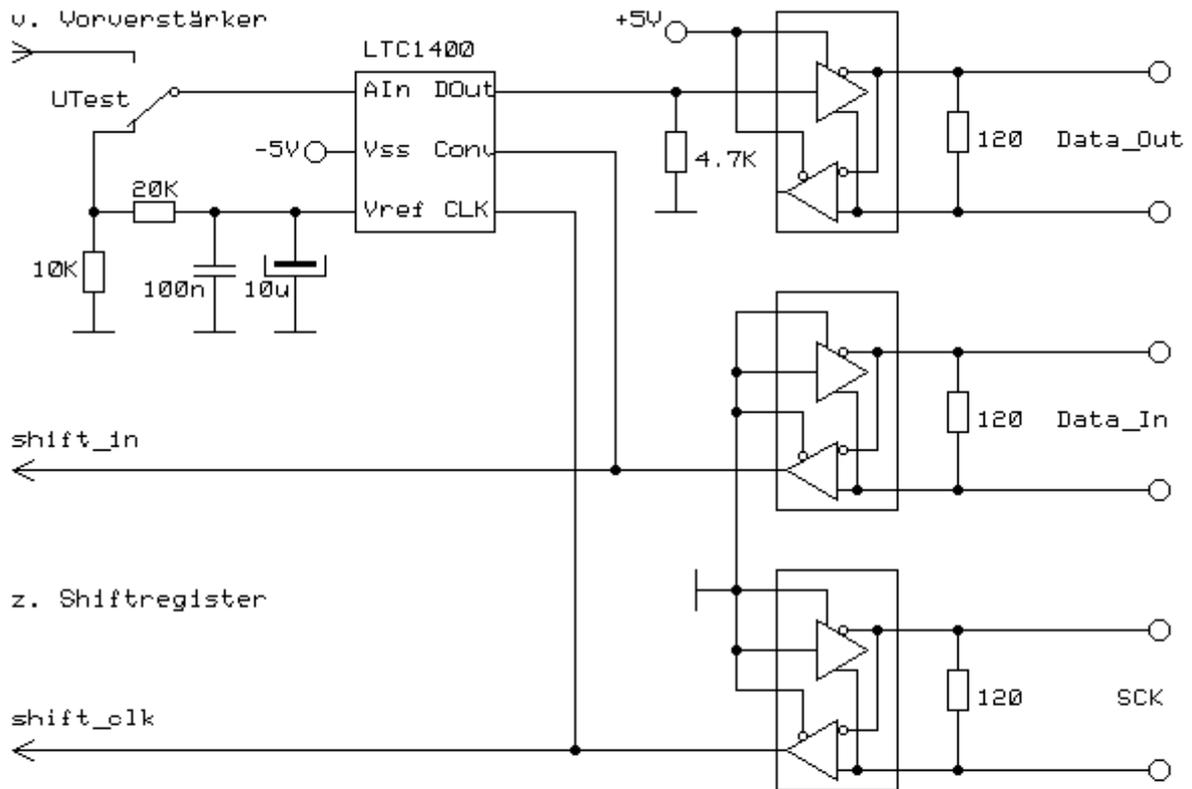


Fig. 2 Der ADC mit Busanschluß

Konfiguration, Auslese und Busanschluß

Die Konfigurierung des Tastkopfes, d.h. das Setzen der Schalter wird über ein Eingangs - Schieberegister vorgenommen, welches seine Daten über die Leitung "Data_In" (Fig. 2) vom IP-Kärtchen bekommt. Näheres hierzu auch im Abschnitt [serielles Protokoll](#) und [Konfigurationsregister](#)

2. DER DIGITALE TASTKOPF

Die Spezifikation.

Anzahl der Eingänge:	12
Messbereiche : (indiv. einstellbar)	+24 V +5 V
Messmodi : Sample - Mode Edge - Mode (indiv. einstellbar)	Pegel bei t(sample) min. 1 Pegeländ. seit dem letzten t(sample)
Mindestimpulsbreite:	100 ns
5 V - Schwellen: pos. geh. Signal - t(p) neg. geh. Signal - t(n) Hysterese	min. 1.3 V / max. 2.0 V min. 0.55 V / max. 1.3 V min. 0.4 V
24 V - Schwellen: pos. geh. Signal - t(p) neg. geh. Signal - t(n) Hysterese	min. 6.6 V / max. 10.5 V min. 2.55 V / max. 6.6 V min. 2.2 V
Eingangsimpedanz : 24V - Bereich : 5V - Bereich :	12 KOhm 68pF 12 pF
Bandbreite (-3dB) : 24 V - Bereich : 5V - Bereich :	>10 MHz >10 MHz
Max. Eingangsspannung :	+/-50 V
Isolationsspannung :	+/-500 V

Tabelle 3 : Spezifikation des Digitaltastkopfes

Die Schaltung der Eingangsstufe.

Die Eingangsstufe stellt neben dem standardisierten, seriellen Bus die wichtigste, von außen sichtbare, und damit auch beeinflussbare Schaltungskomponente dar. Sie bestimmt die elektrischen Anschlußwerte und damit den Nutzungsumfang des Tastkopfes. Die Schaltung ist ein Kompromiß der folgenden Entwicklungsziele:

- Geringe Last für das Messobjekt. (Eingang hochohmig.)
- Ausreichend schnell. (100ns Pulse sollen noch erkannt werden - Edge-Detektor.)
- Hysterese für Störabstand und Signale mit langsamen Flanken.
- Schwellen wie bei Standard-TTL. (Bei 24V-Logik dem Verhältnis entsprechend.)
- Schutz gegen Überspannung und Fehlbedienung.
- Niedrige Verlustleistung. (Versorgung mit Hochspannungsisolierung wie Analog Tastkopf.)
- Geringe Anzahl von Bauteilen. (Unterbringung in einem kleinen Gehäuse.)
- Niedriger Preis.

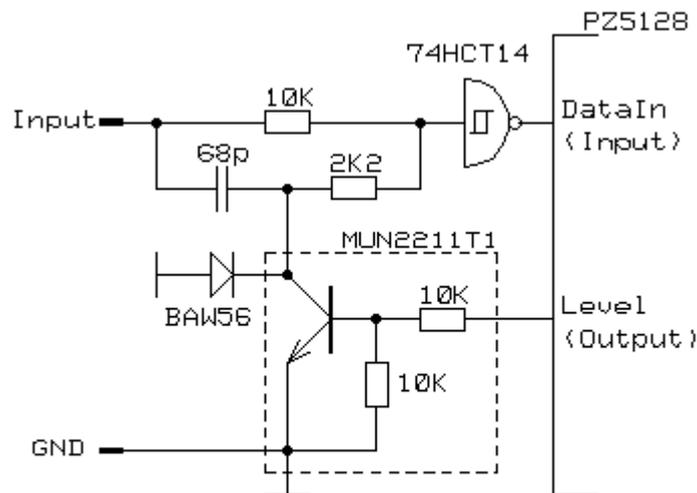


Fig. 1 Die Eingangsstufe

Die SPICE-Simulation der Eingangsschaltung.

Zur Kontrolle des Laboraufbaus, sowie für Dokumentationszwecke wurde eine einfache SPICE - Simulation durchgeführt. Die wichtigsten Ergebnisse, sowie das benutzte [SPICE-Circuit-File](#) stehen hier zur Verfügung.

Ein Datenblatt des [MC74HCT14ADT](#) ist ebenfalls verfügbar.

	5 V	24 V
Eingangswiderstand	Bild 1	Bild 2
DC-Übertragungsfunktion	Bild 3	Bild 4
AC-Übertragungsfunktion	Bild 5	Bild 6
Impulsübertragung	Bild 7	Bild 8

Tabelle 4 : Ergebnisse der SPICE Simulation

Der Edge-Detektor

Der Edge-Detektor ist die digitale Eingangsstufe des PZ5128. Seine Aufgabe ist es, Veränderungen des Eingangssignales während der letzten Messperiode (ca. 10us) festzuhalten und der seriellen Auslese zur Verfügung zu stellen. Im Sample-Mode (Mode = 0) wird ein 'Bypass' um den Edge - Detektor freigeschaltet.

Der Detektor besteht aus einem D-FF zur Speicherung des Vergleichspegels und einem Latch, das bei einer Abweichung des Eingangspiegels vom zuvor gespeicherten Wert im D-FF gesetzt wird. Der Zustand dieses Latches wird beim nächsten Sample-Puls dem seriellen Senderegister übergeben. Diese Schaltung erfordert eine extrem geringe Breite des Rücksetz-Pulses um die dadurch bedingte Totzeit des Detektors so gering wie möglich zu halten. Unter Ausnutzung des 'Pipeline'-Effektes wird die Übernahme des aktuellen Vergleichspegels, das Rücksetzen des Latches und das Laden des seriellen Senderegisters mit der positiven Flanke eines Pulses bewerkstelligt. Die Breite dieses Pulses beträgt 20ns. (Siehe 'Detektor für [Ladephase](#).) Einzelpulse, die breiter als dieser Impuls sind und die Eingangsstufe passieren, werden als Pegelveränderung jederzeit erkannt.

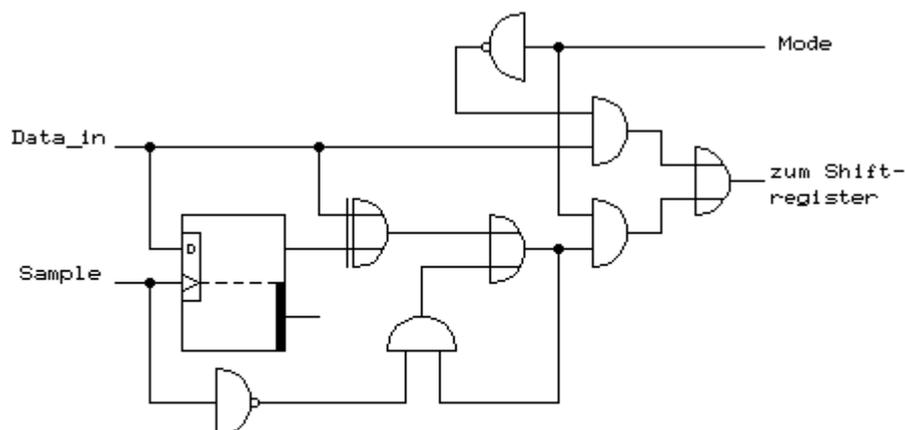


Fig 2. Edge-Detektor

Der Steuerteil des Sende- und Empfangsregisters.

Die Steuerung des Schieberegisters erfolgt nach der jeweiligen Phase des seriellen Busses. Hierzu werden die Signale 'Serial_in' und 'SCLK' in ihrem zeitlichen Verlauf ausgewertet. Der Steuerteil hat abhängig von der Busphase die folgenden Signale zu erzeugen:

- Ein Load-Signal für die parallelen Ladeeingänge des Schieberegisters. (Load)
- Ein Clock-Signal zur Übernahme der parallelen Daten. (dS_dt)
- Ein Load-Signal für das Level- und das Mode-Register. (SftX0)
- Ein Write-Select-Signal zur Unterscheidung von Lese- und Schreibetelegrammen. (Write)

(Die Signalnamen in Klammern beziehen sich auf die [PHD-Beschreibung](#) der Schaltung.) Sendet das IP-Kärtchen einen 'Sample'-Puls um eine Leseaktion zu beginnen, wird dieses von einer Detektorschaltung erkannt und ein 'Load'-Signal erzeugt. Damit werden die FF's des Schieberegisters vom Schiebebetrieb auf Parallelladebetrieb umgeschaltet. Die Rückflanke des 'Sample'-Pulses führt dann zu einem ca. 20ns breiten Impuls (dS_dt) mit dessen Vorderflanke dann die gesamte Datenübernahme durchgeführt wird.

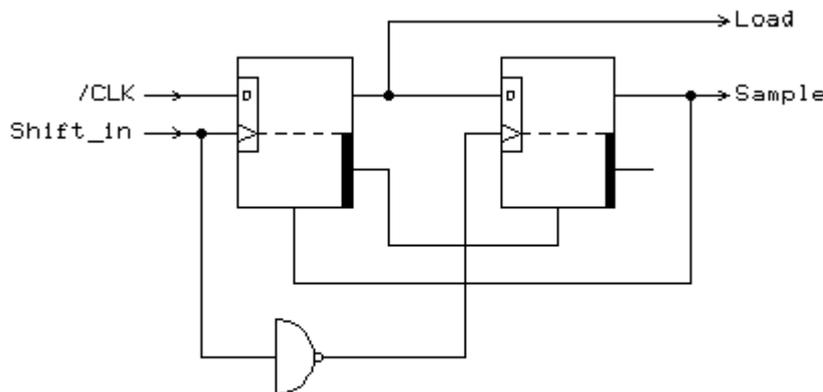


Fig. 3 Detektor für Ladephase

Nach Abschluß der Ladephase stehen die Daten im Schieberegister zur Abholung bereit und die Steuerung geht in die Lesephase ('Write' = 0). Dieses wird mit einem Reset des Clock-Zählers durch das Signal 'dS_dt' bewirkt. Für das IP-Kärtchen bedeutet dies: Ein Aussenden eines Sample-Pulses *erfordert* das nachfolgende Auslesen des Schieberegisters !

Nachdem die Anzahl der zum Auslesen des Schieberegisters notwendigen Clockpulse eingetroffen ist, erzeugt der Clock-Zähler das 'Write'-Signal ('Write' = 1) mit dem die Steuerung in die Schreibephase übergeht. Nun könnten Schreibe-Telegramme aufgenommen und richtig ausgewertet werden. (Siehe hierzu auch ['Das serielle Protokoll'](#).) Andererseits würde eine sich anschließende, erneute Leseaktion durch das Eintreffen eines Sample-Pulses angezeigt werden.

Für die Initialisierung der Schaltung bedeutet dieses, daß nach dem Einschalten des Tastkopfes eine einmalige Leseaktion erfolgen muß, bevor Konfigurationsdaten ausgesendet werden können.

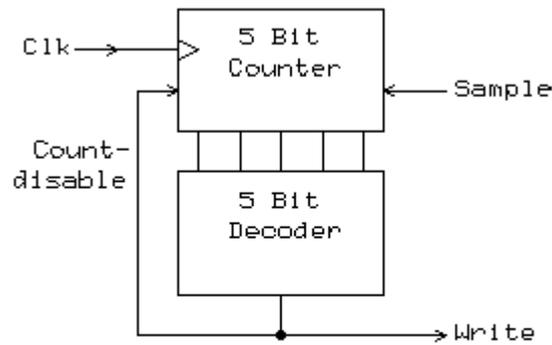


Fig. 4 Clock-Counter

Das Sende- und Empfangsregister

Die sich hier anschließende Gesamtübersicht zeigt alle wesentlichen Komponenten und Signale des Sende- und Empfangsregisters inklusive der Eingangsschaltung des PZ5128. Wegen der Datenbit- Bedeutung bei Schreiblegrammen siehe ['Das Konfigurationsregister'](#).

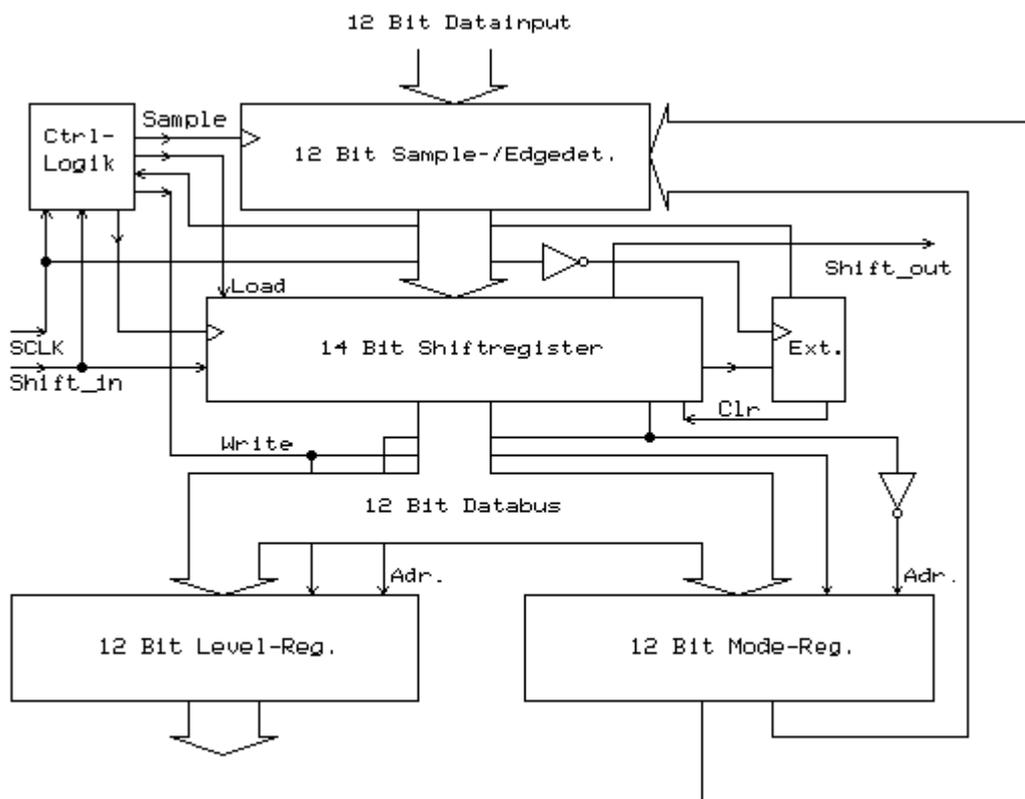


Fig. 5 Sende u. Empfangsregister

3. DAS SERIELLE PROTOKOLL FÜR DIE TRANSIENTENREKORDER-TASTKÖPFE

Allgemeines

Die Kommunikation mit den Tastköpfen erfolgt durch ein Protokoll, welches sowohl die Auslese der Daten, als auch die Konfigurierung und die Steuerung erlaubt und für das lediglich drei Signale benötigt werden.

- *SCK (Serial clock)*
- *Data_In*
- *Data_Out*

Die Daten werden in beiden Richtungen in Bezug auf die 'Serial clock' synchron übertragen und so zwischen Sende- und Empfangs-Schieberegister ausgetauscht. Während der Clock-Pausen können asynchrone Steuersignale über Data_In an die Tastköpfe gesendet werden.

Das Auslesen des ADC's (Analog - Tastkopf)

Bei ausgeschalteter Clock wird ein 'conversion start' - Signal über Data_In an den ADC gesendet. (Fig.1) Erst nachdem dieses Signal vorüber ist, wird die 'serial clock' eingeschaltet und die Konvertierung beginnt. Auf der 'Data_Out' - Leitung erscheint als erstes das 'REFRDY' - Bit (REFerence ReaDY). Dieses Bit zeigt an, ob der ADC für eine Konvertierung bereit ist (REFRDY = 1) oder nicht und kann auch als 'data valid' interpretiert werden.

Mit der ersten positiven SCK - Flanke beginnt die Konvertierung des ersten Bits (MSB). Die zweite SCK - Flanke konvertiert das nächste Bit und schiebt das MSB auf die 'Data_Out' - Leitung. Die zwölfte SCK - Flanke konvertiert das letzte Bit (LSB) und schiebt das vorletzte auf die Ausgangsleitung und die nächste Flanke beendet dann die Konvertierung und schiebt das letzte Bit in den seriellen Datenstrom. Jede weitere SCK - Flanke hält den Ausgang des ADC's dann im Hi-Z - Zustand.

Wenn sowohl der Datenempfänger als auch der ADC mit der positiven SCL - Flanke ge'clocked' wird, repräsentiert nach Abschluß des Einlesens das MSB des Empfangsregisters den Ruhezustand der 'Data_Out' - Leitung. Dann schließt sich das REFRDY - Bit an und darauf folgen die Daten der aktuellen Konvertierung.

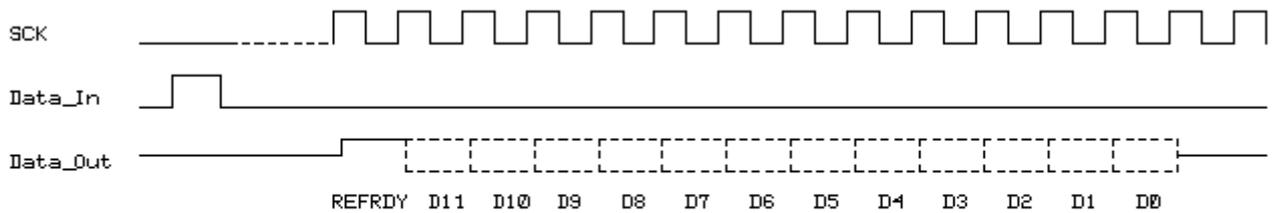


Fig.1 Auslesen des ADC's

Das Auslesen des Inputregisters (Digital - Tastkopf)

Für das Auslesen des Digital - Tastkopfes wird das gleiche Protokoll wie für den Analog - Tastkopf verwendet. Das 'conversion start' des ADC's am Eingang 'Data_In' des Analog - Tastkopfes bekommt hier die Bedeutung 'Sample - command'. Mit der Vorderflanke dieses Impulses wird das Shiftregister auf 'Load' gestellt und mit der Rückflanke werden im 'Sample - Mode' die Pegel an den zwölf Digital - Eingängen oder im 'Edge - Mode' die Zustände der Flankendetektoren in das Register geladen.

Aus Kompatibilitätsgründen wird auch hier das MSB auf 'high' gelegt, sodaß Analog- und Digital-Daten im seriellen Datenstrom die gleichen Bit - Positionen belegen. (siehe Fig. 1)

Sind alle zum Auslesen der Daten notwendigen Clockpulse eingetroffen, beendet der Digitaltastkopf seinen Auslesezustand und geht in den Schreibzustand. (Siehe Absatz unten) Ist der nächste Zugriff wiederum eine Leseaktion, so erkennt der Tastkopf dieses an dem neu eintreffenden Sample-Puls.

Das Beschreiben des Konfigurationsregisters

Eine Schreibaktion beginnt immer mit dem Senden eines Start - Bits, an das sich die Daten unmittelbar anschließen (Fig.2). Die zu sendenden Informationen werden mit der positiven Flanke aus dem Senderegister geschoben und mit der positiven Flanke in das Empfangsregister übernommen. Sind alle n Bits eingelesen worden, erscheint das Start - Bit auf der n+1.ten Position. Hierdurch wird ein Signal erzeugt, mit dem die Daten - Bits in ein Latch übernommen und damit gesichert werden. Mit einem weiteren Clock - Impuls wird das Start - Bit nochmals um eine Stelle weitersgeschoben und erzeugt dann ein 'Clear', mit dem die nachfolgenden Daten - Bits gelöscht werden.

Ein einmal begonnener Schreibzyklus muß also ordnungsgemäß beendet werden, bevor ein neuer Schreibzyklus beginnen kann.

Während des Schreibens erhält natürlich der ADC ebenfalls SCK - Pulse und sendet Daten auf den Data_Out - Ausgang. Diese werden von der auslesenden Schaltung im IP-Kärtchen jedoch nicht ausgewertet.

Ein [Blockschaltbild](#) und Bemerkungen zur [Realisierung](#) der Schaltung sind ebenfalls verfügbar.

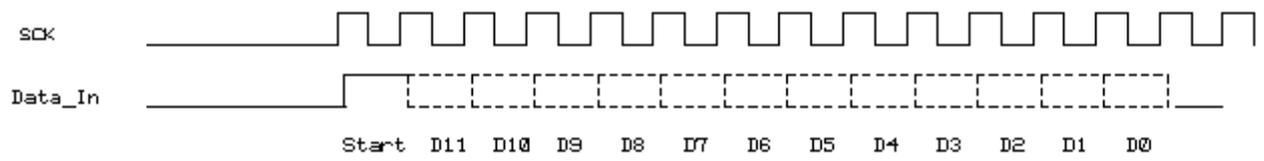


Fig.2 Beschreiben des Konfigurationsregisters

4. DIE KABELVERBINDUNG DER TASTKÖPFE ZUR DTU

Das Kabel

Für die Verbindung der Tastköpfe zur DTU kommt folgendes Kabel zur Anwendung :

Kabelart	Computerkabel LiYCY
Aufbau	PVC-Außenmantel, grau (RAL 7032) Abschirmgeflecht aus Kupferdrähten Beilaufzitze unter der Abschirmung Bandierung mit Polyesterfolie paarig in Lagen verseilt - 5x2x0,14 Farb- und Verseifolge nach DIN 47100 Aderisolation - PVC Aderaufbau - Litze 18x0,10mm
Technische Daten	Aderdurchm. 1,05mm Leiterwiderstand max. 131ohm/Km Isolationswiderstand min. 200Mohm/Km Betriebskapazität max. 120nF/Km Betriebsspannung 500V Prüfspannung 1200V(eff) Betriebstemperatur -5°C bis +80°C
Lieferant	RS-Components Kat. 3-9.98, Best.Nr.: 383-210

Die Steckverbindung

Kabelstecker	15 pol. D-Sub-Stiftleiste Betriebsstrom : 3A/70°C Nennspannung : 500V DC/AC(s) Durchgangswiderstand : <= 10 mohm Lebensdauer : 100 Steckzyklen Isolator : Polyester, zweiteilig UL94V-O Kontaktelemente : Kupferleg., vernickelt Kontaktoberfläche : vergoldet Lieferant : Farnell/Kat.98/Best.Nr.: 150-727
Eingangsbuchse an der DTU	15 pol. D-Sub-Buchsenleiste Betriebsstrom : 3A/70°C Nennspannung : 500V DC/AC(s) Durchgangswiderstand : <= 10 mohm Lebensdauer : 100 Steckzyklen Isolator : Polyester, zweiteilig UL94V-O Kontaktelemente : Kupferleg., vernickelt Kontaktoberfläche : vergoldet Lieferant : Farnell/Kat.98/Best.Nr.: 150-755
Steckergehäuse an der DTU	Serie DPPK Farbe : rot Lieferant: Farnell/Kat.98/Best.Nr. 469-970

Das Anschlußschema

Tastkopf		Aderfarbe (nach DIN 47100)	15pol. D-Sub Pin	Bedeutung
Analog-	Digital-			
T3	T7	weiß	5	Data-Out +
T4	T8	braun	6	Data-Out -
T5	T3	gelb	3	SCLK +
T6	T4	grün	4	SCLK -
T7	T5	rosa	1	Data-In +
T8	T6	grau	2	Data-In -
T9	T1	blau/schwarz	13,14	GND
T10	n.c.	violett	11	-9V
T11	T2	rot	10	+9V
n.c.	n.c.	Beilaufnitze	15	Abschirmung

5. DAS KONFIGURATIONSREGISTER FÜR DIE TRANSIENTENREKORDER-TASTKÖPFE

Die Schaltung

Die Aufnahme der Konfigurationsdaten gemäß den Anforderungen des seriellen [Protokolls](#) wird mit einer Schaltung, wie in Fig. 1 abgebildet, erreicht.

Die gesamte Baugruppe besteht aus folgenden Komponenten:

- **Einem n+1-Bit Schieberegister** zum Einlesen der Daten. Für den Analogtastkopf ist $n=6$, für den Digitaltastkopf ist $n=13$.
- **Einem n-Bit Latch mit Dekoder** zur endgültigen Speicherung der Daten. Die Dekodierung erfolgt gemäß der unten stehenden [Tabelle](#).
- **Einem 2-Bit Schieberegister** zur Generierung eines 'latch'- und eines 'clear'-Kommandos aus dem Start - Bit für das n-Bit Schieberegister und das n-Bit Latch.

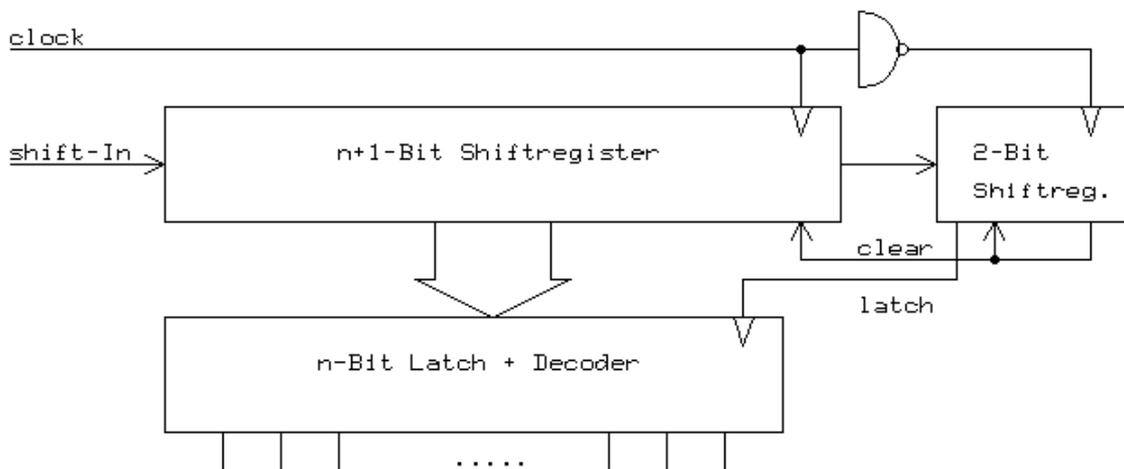


Fig. 1 Das Konfigurationsregister

Die Dekodierung der Daten

Der Analogastkopf

Die Tabellen zeigen den Zusammenhang zwischen der Bitposition im seriellen Datenstrom, der Bedeutung und der betätigten Ansteuerleitung für den Analogschalter.

Bit 6	Bit 5 - Bit 0
1	Daten

Tabelle 5 : Telegrammaufbau

Bit-1	Bit-0	Bedeutung	PreAmp0	PstAmp0	PstAmp1	PstAmp2
0	0	30V	1	0	0	1
0	1	10V	1	0	1	0
1	0	1V	0	1	0	0
1	1	100mV	0	0	0	0

Tabelle 6 : Verstärkung

Bit-4	Bit-3	Bit-2	Bedeutung	TConst0	TConst1	TConst2	TConst3
0	0	0	200KHz	0	0	0	0
0	0	1	100KHz	1	0	0	0
0	1	0	25KHz	0	1	0	0
0	1	1	10KHz	0	0	1	0
1	0	0	1KHz	0	0	0	1
1	0	1	1KHz	0	0	0	1
1	1	0	1KHz	0	0	0	1
1	1	1	1KHz	0	0	0	1

Bit-5	Bedeutung	UTest
0	Testspannung aus	0
1	Testspannung ein	1

Tabelle 7 Testspannung

Der Digitalastkopf

Bit 13	Bit 12	Bit 11 - Bit 0
1	Adr	Daten

Tabelle 8: Telegrammaufbau

Datenbit-Wert	Datenbit-Bedeutung
0	5 V - Eingang
1	24 V - Eingang

Tabelle 9: Adr = 0 , Level

Adr=1, Mode

Datenbit-Wert	Datenbit-Bedeutung
0	Sample - Mode
1	Edge - Mode

Tabelle 10: Adresse = 1, Mode

Realisierung der Schaltung

Bedingt durch die vorgegebene Hochspannungsisolierung der Tastköpfe und die damit verbundene Verwendung isolierender DC/DC - Wandler, sowie die äußerst geringe Größe des Gehäuses ist die zur Verfügung stehende elektrische Leistung in der Frontelektronik sehr begrenzt. Der Einsatz gängiger PALs oder EPLDs ist bei einem minimalen Strombedarf dieser Bausteine von ca. 90mA somit schlecht möglich.

Eine Ausnahme sind die seit Sommer '97 erhältlichen CPLDs der Firma PHILIPS vom Typ ['CoolRunner'](#). Diese haben einen extrem niedrigen Strombedarf, der typischerweise im Wesentlichen nur von der Taktfrequenz abhängt. Sie sind für den vorliegenden Fall hervorragend geeignet und wurden daher mitsamt dem preiswert erhältlichen Entwicklungstool bei einigen Probeschaltungen eingesetzt. Hierbei wurden ausnahmslos positive Erfahrungen gemacht. Insbesondere das Routing ist völlig problemlos, solange die PLD - Struktur des Chips nicht durch zu viele asynchrone Pfade und feingranulare Schaltungen überbeansprucht wird.

Das Entwicklungstool ist äußerst einfach zu bedienen und bietet mit Editor, Compiler, Fitter sowie Funktions- und Timingsimulation alles was notwendig ist. Die Beschreibung der Schaltung erfolgt in 'PHILIPS - HDL', einem einfachen aber durchaus mächtigen Werkzeug. Die Dokumentation sowohl von CD, als auch vom Netz ist gut, der Support via EMail in die USA ist noch besser als das Telefonat mit dem entsprechenden FAE von Avnet in München.

Das Brennen der Chips geht auf einem Data-IO 2900 oder noch besser, wie bei den größeren Bausteinen PZ5128 durch 'In System Programming'.

Die PHD - Souce der vorliegenden Schaltung gibt es [hier](#). Zu beachten ist, daß bei Verwendung des PZ5032 nicht benutzte I/Os durch Pull - Ups beschaltet sein müssen. Um diesen erhöhten Aufwand zu umgehen, wurden alle nicht benutzten I/Os als Ausgänge einer Dummy - Schaltung definiert.

6. DIE TESTBOX ZUR ÜBERPRÜFUNG DER ANALOGEN TRANSIENTENREKORDER-TASTKÖPFE

Allgemeine Beschreibung

Für die Überprüfung der analogen Tastköpfe, sowohl nach der Fertigung als auch später, für defekt rückgelieferte Einheiten, wurde eine Testbox entwickelt, mittels der die Tastköpfe ausgelesen, konfiguriert und auf Hochspannungs - Festigkeit geprüft werden können.

Die Testbox übernimmt also eine vereinfachte Funktionalität von Software, IP - Kärtchen und DTU, wobei die Ausgabe der Daten in HEX - Darstellung auf einer eigenen dreistelligen Anzeige erscheint. Als Bedienelemente stehen sieben [Schalter](#) für die Eingabe der Konfigurationsdaten sowie ein Schalter für die Umschaltung vom Read- auf Write-Mode zur Verfügung. Auf der Rückseite der Testbox befindet sich der 9polige CANNON - Stecker, auf den der zu prüfende Tastkopf gesteckt wird.

(Das [Schaltbild](#) hierzu wurde eingescanned, ist aber gerade und eben noch lesbar !)

Datenregister und Anzeige

Als Datenregister dient der Testbox ein 15 Bit langes Schieberegister. Dieses nimmt im Read-Mode die empfangenen Daten vom ADC auf. Nach dem Einlesen dieser Daten wird das 12 Bit - Word 'nibbleweise' über einen 4 Bit Datenbus auf die drei Anzeigeelemente gegeben. Dort werden die Daten bis zum Eintreffen des nächsten Datenwortes gelatched.

Der Schreibzyklus für die Konfigurationsdaten beginnt mit dem Laden der sieben Schalterstellungen samt einer führenden '1' auf der achten Bitposition in das Datenregister. Anschließend wird der Registerinhalt mit 15 Shiftclocks an den Tastkopf gesendet.

Damit ein Umlegen des Mode - Schalters erst nach Abschluß eines laufenden Zyklusses wirksam wird, sorgt eine Synchronisationsschaltung für eine Verzögerung der Umschaltung bis zum nächsten 'Load' - oder 'Conversion start' - Signal.

Die gesamte, in diesem Abschnitt beschriebene Schaltung wurde in einem PZ5032 CPLD realisiert. Die hierfür erstellte [PHD - Beschreibung](#) enthält alle weiteren Details.

Der Sequencer

Die Generierung der Steuersignale für das Datenregister und den zu prüfenden Tastkopf wird von einem Sequencer mit vier Makrozuständen übernommen. Während eines jeden

Makrozustandes sorgt eine weitere Ablaufsteuerung für die Generierung der jeweiligen Signale. Folgende Makrozustände stehen zur Verfügung :

- Generierung einer Wartezeit.
Generierung eines synchronen 'Load'- Impulses definierter Länge.
- Generierung einer Wartezeit.
Generierung eines asynchronen 'Conversion start'- Impulses
- Generierung von 15 Shiftclocks.
Prüfung des Mode - Schalters.
- Generierung von 3 zeitlich verschobenen Strobe-Impulsen für die Anzeigesteuerung.
Prüfung des Mode - Schalters.

Der Schreibezyklus besteht also aus der Folge 1, 3, 1, 3, ... und der Lesezyklus aus der Folge 2, 3, 4, 2, 3, 4, ... der Makrozustände. Am Ende von Zustand 3 und 4 wird geprüft, ob der Modeschalter betätigt wurde. Entsprechend dieser Prüfung wird die nächste Folge von Zuständen durchlaufen.

Der Sequencer wurde mittels eines zweiten PZ5032 CPLDs realisiert. Auch hierfür wurde eine [PHD - Beschreibung](#) erstellt.